



JP8083969

Biblio

Page 1

Drawing

esp@cenet



## SURFACE-MOUNTING RESISTANCE ELEMENT FOR DETECTION OF CURRENT AND ITS MOUNTING BOARD

Patent Number: JP8083969  
Publication date: 1996-03-26  
Inventor(s): MURAKAMI TADAYOSHI  
Applicant(s): FUJI ELECTRIC CO LTD  
Requested Patent: ☐ JP8083969  
Application Number: JP19940321142 19941226  
Priority Number(s):  
IPC Classification: H05K1/18; H01C1/01; H01C13/00; H01C13/02  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To provide a surface-mounting. resistance element by which a resistance value for detection of a current can be controlled to a definite value without being influenced by whether bonding solder creeps up when the resistance element is mounted on a mounting board and to provide its mounting board.

**CONSTITUTION:** Slits 1b whose cutout depth is set to be larger than creeping-up parts 4a by solder 4 in rise-leg parts on both sides are formed in an inverted-U-shaped surface-mounting resistance element 1, for detection of a current, which is mounted on a mounting board 2 externally. Then, terminal parts are divided into electrification terminal parts 1c for a circuit current and into detection terminal parts 1d by making use of the slits 1b as boundaries. In the mounting board on which the resistance element is mounted, a conductor pattern 3, in a resistance-element mounting part, which is formed on the board is divided into an electrification pattern 3a to which the circuit current flows and into a detection pattern 3b, the electrification terminal parts and the detection terminal parts are soldered respectively to the electrification pattern and the detection pattern, and the voltage drop, of the resistance element, which is proportional to the circuit current is detected through the detection terminal part.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-83969

(43)公開日 平成8年(1996)3月26日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 1/18	H	8718-4E		
H 0 1 C 1/01	Z			
13/00	J	4231-5E		
13/02	B	4231-5E		

審査請求 未請求 請求項の数4 O L (全 4 頁)

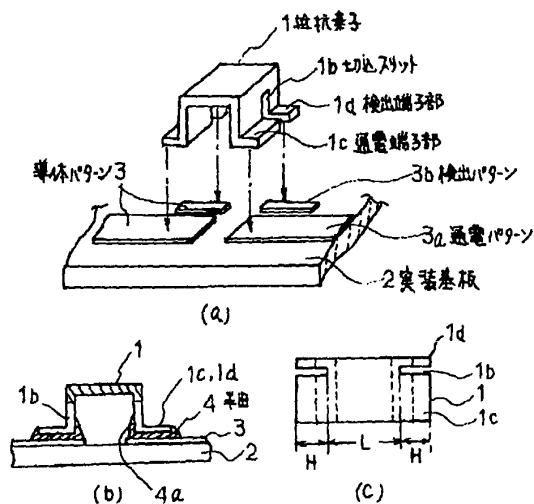
(21)出願番号	特願平6-321142	(71)出願人	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22)出願日	平成6年(1994)12月26日	(72)発明者	村上 忠義 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(31)優先権主張番号	特願平6-162557	(74)代理人	弁理士 山口 巖
(32)優先日	平6(1994)7月15日		
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 電流検出用表面実装型抵抗素子およびその実装基板

(57)【要約】

【目的】基板への実装時に際して接合半田の這い上がりに左右されることなく、電流検出用の抵抗値を定値管理できるようにした電流検出用表面実装型抵抗素子、およびその実装基板を提供する。

【構成】実装基板2に外付けする逆U字形の電流検出用表面実装型抵抗素子1に対し、両端の立ち上がり脚部に切り込み深さが半田4の這い上がり4aより大に設定したスリット1bを形成し、該スリットを境に端子部を回路電流の通電端子部1cと検出端子部1dとに分割するとともに、前記抵抗素子を搭載する実装基板においては、基板上に形成した抵抗素子搭載部分の導体パターン3を、回路電流を流す通電パターン3aと検出パターン3bとに分割した上で、通電パターン、検出パターンにそれぞれ抵抗素子の通電端子部、検出端子部を半田付けし、回路電流に比例した抵抗素子の電圧降下を検出端子を通じて検出する。



## 【特許請求の範囲】

【請求項1】基板の導体パターンに外付けする電流検出用表面実装型抵抗素子であり、抵抗素子の形状が逆U字形でその両端に半田付け用の端子部を形成したもののにおいて、前記端子部含めて両端の立ち上がり脚部に長手方向に沿った切込スリットを形成し、該スリットを分岐溝としてその両側に回路電流の通電端子部と検出端子部とを分岐形成したことを特徴とする電流検出用表面実装型抵抗素子。

【請求項2】請求項1記載の表面実装型抵抗素子において、スリットの切込み深さを、端子部に形成される半田フィレットの這い上がり高さよりも大に設定したことを特徴とする電流検出用表面実装型抵抗素子。

【請求項3】請求項1または2記載の表面実装型抵抗素子において、切込スリットの一部を跨いで端子部の分岐点近傍箇所に通電端子部と検出端子部との間を橋絡するトリミング可能な抵抗値補正用のブリッジ部を形成したことを特徴とする電流検出用表面実装型抵抗素子。

【請求項4】請求項1記載の表面実装型抵抗素子を搭載する実装基板において、基板上に形成した抵抗素子搭載部分の導体パターンを、回路電流を流す通電パターンと、その側方に形成した検出パターンとに分割し、かつ通電パターン、検出パターンのランドにそれぞれ抵抗素子の通電端子部、検出端子部を半田付けするようにしたことを特徴とする電流検出用表面実装型抵抗素子の実装基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、パワートランジスタデバイスなどを対象として、そのデバイス内部に組み込んだ電流検出用表面実装型抵抗素子、およびその実装基板の構成に関する。

## 【0002】

【従来の技術】頭記したパワートランジスタデバイスなどでは、その主回路電流を検出してトランジスタを制御することが行われており、その電流検出手段としてトランジスタとともに同じ基板上に電流検出用の表面実装型抵抗素子を実装したものが一般に採用されている。

【0003】図3はかかる電流検出用表面実装型抵抗素子の従来構造を示すものであり、図において、1は抵抗素子、2は実装基板、3は実装基板2に形成した電流通電用の導体パターンである。ここで、抵抗素子1は例えば銅-マンガン抵抗材料として作られたもので、その外形形状は逆U字形をなし、かつその両端脚部に形成した端子部1aを前記導体パターン3の半田付けランドに載置し、リフローソルダリング法などにより半田付け（半田を符号4で示す）して実装基板2に表面実装される。

【0004】かかる構成で、抵抗素子1に主回路電流を流すと、抵抗素子の両端端子間には電流Iに比例した電

圧降下V ( $V = IR$ , 但しRは抵抗素子1の抵抗値)が発生するので、この抵抗素子1の端子間電圧を検出することにより、主回路電流の検出が行えることは周知の通りである。

## 【0005】

【発明が解決しようとする課題】ところで、前記した構成では電流検出精度の面で次記のような問題点がある。すなわち、抵抗素子1の端子部1aを実装基板2の導体パターン3に半田付け実装すると、その半田付け部には半田フィレットが形成され、特に逆U字形になる抵抗素子1の立ち上がり部の壁面には符号4aで示すような半田の這い上がりが生じる。このために、回路電流は抵抗素子1の抵抗材料よりも固有抵抗が小さい半田の這い上がり部4aにバイパスして流通するようになり、しかも半田這い上がり高さは半田量、濡れ性など条件により一定しないために、抵抗素子1の実効抵抗値（端子間の抵抗値）にバラツキが生じ、このことが電流検出精度にも影響を及ぼすようになる。

【0006】また、抵抗素子1の材料である銅-マンガンは製造条件などによりその固有抵抗にバラツキがあり、このことも電流検出精度を低下させる原因になる。本発明は上記の点にかんがみなされたものであり、その目的は前記課題を解決し、基板への実装に際して接合半田の這い上がりに左右されることなく、かつ必要に応じて抵抗値を簡単に補正して電流検出に關与する抵抗値をバラツキなく定値管理できるようにした電流検出用表面実装型抵抗素子、およびその実装基板を提供することにある。

## 【0007】

【課題を解決するための手段】上記目的を達成するために、本発明の表面実装型抵抗素子は次記のように構成するものとする。すなわち、抵抗素子の形状が逆U字形でその両端に半田付け用の端子部を形成したもののにおいて、前記端子部含めて両端の立ち上がり脚部に長手方向に沿った切込スリットを形成し、該スリットを分岐溝としてその両側に回路電流の通電端子部と検出端子部とを分岐形成する。そして、前記スリットの切込み深さを、端子部に形成される半田フィレットの這い上がり高さよりも大に設定する。

【0008】また、前記抵抗素子材料に起因する抵抗値バラツキを補正する手段として、切込スリットの一部を跨いで端子部の分岐点近傍箇所に通電端子部と検出端子部との間を橋絡するトリミング可能な抵抗値補正用のブリッジ部を形成して実施することができる。一方、前記構成の抵抗素子を取付ける本発明の実装基板は、基板上に形成した抵抗素子搭載部分の導体パターンを、回路電流を流す通電パターンと、その側方に形成した検出パターンとに分割し、かつ通電パターン、検出パターンのランドにそれぞれ抵抗素子の通電端子部、検出端子部を半田付けするように構成するものとする。

【0009】

【作用】上記の構成において、回路電流は実装基板上の通電パターンに半田付けされた通電端子部を通じて抵抗素子に流れ、電流の通電に伴って発生した電圧降下が検出端子部と半田付けされた検出パターンを通じて電圧の形で検出される。ここで、通電端子部と検出端子部との間を、半田付け実装の際に形成される半田フィレットの這い上がり高さよりも寸法の長い切込スリットで互いに分離しておくことにより、電流検出に直接関与する検出端子間の抵抗値は半田の這い上がりに関係なく一定となる。したがって、抵抗素子の両端脚部に形成した前記スリットの切込み深さを適正な寸法に設定して製作すれば、実装時における半田の這い上がりの影響を受けることがない。また、実装後に行う試験であらかじめスリットの一部に形成しておいたブリッジ部を切断してトリミングすることにより、抵抗素子自身の材料に起因する抵抗値のバラツキを簡単に補正できる。

【0010】

【実施例】以下、本発明の実施例を図1、図2、および図4、図5に基づいて説明する。なお、実施例の図中で図3に対応する同一部材には同じ符号が付してある。まず、図1(a)～(c)に本発明の実施例による抵抗素子1、および抵抗素子1を組み込む実装基板2の導体パターン3を示す。すなわち、外形形状が逆U字形を呈した抵抗素子1には半田付け端子部を含めて両端の立ち上がり脚部に長手方向に伸びた切込スリット1bが形成されており、該スリット1bを分岐溝として抵抗素子の両端には、回路電流の流れる幅の広い通電端子部1cと、電流通電に伴う電圧降下分を検出する幅の狭い検出端子部1dが分岐形成されている。一方、実装基板2に形成した導体パターン3は、主回路電流が通流する通電パターン3aと、その側方に並置形成した検出パターン3bとに分割されており、抵抗素子1の実装時には通電パターン3a、検出パターン3bにそれぞれ抵抗素子1の通電端子部1c、検出端子部1dを重ね合わせて半田付けされる。この場合に、前記スリット1bの切込み深さH(図1(c)の展開図参照)は、実装時の半田付けにより端子部1c、1dの半田付け部に形成される半田フィレットとしての半田4の這い上がり部4a(図1(b)参照)がスリット1bの長さ領域内に収まるように設定して抵抗素子を製作する。

【0011】かかる構成による電流検出用抵抗素子の等価回路を図2に示す。この図で明らかなように、抵抗素子1に通電端子1cを通じて回路電流Iが流れると、その電流Iに比例した電圧降下V( $V=IR$ )が検出端子1dの両端から検出されることになる。この場合にスリット1bの切込み深さHを前記のように設定すれば、抵抗材料の固有抵抗を $\rho$ 、スリットとスリットとの間の長さをL、該部分の断面積をAとして電流の検出に関与する検出端子1d間の抵抗値Rは $R=\rho L/A$ として表さ

れ、前記した半田4の這い上がり部4aに左右されることなく一定となる。これにより、抵抗素子1の電流検出に関与する領域の抵抗値Rを設計通りに精度よく管理することができる。

【0012】また、実装基板2の抵抗素子搭載部に形成した導体パターン3を、前記のように回路電流が通流する通電パターン3aと、電圧端子としての役目を果たす検出パターン3bとに分割しておくことで、前記した電流検出機能を損なわずに回路電流を、該電流に比例して抵抗素子に生じた電圧降下の形で検出できる。次に、本発明の請求項3に対応する応用実施例を図4、図5に示す。この実施例においては、抵抗素子1に対する抵抗値のバラツキ補正手段として、通電端子部1cと検出端子部1dとが二手に枝分かれする分岐点の近傍箇所に、切込スリット1bの一部を跨いで端子部1cと1dの間を橋絡する細条のブリッジ部1eが形成されている。なお、このブリッジ部1eは抵抗素子1、およびその切込スリット1bをプレス加工などで打ち抜く際に、スリットの一部を切り残して形成する。

【0013】かかる構成により、抵抗素子1を実装基板2に半田付けした後に行う抵抗値測定試験結果を基に、必要に応じてブリッジ部1eを切断してトリミングすることにより、抵抗素子1の実効抵抗値を微調整して電流検出に関与する部分の抵抗値のバラツキを簡単に補正することができる。図5は図4の変形実施例を示すものであり、先記したブリッジ部1eが切込スリット1bからはみ出して抵抗素子1の外側へ膨出するようにプレスなどで押し出し成形されている。かかる構成により、抵抗素子1を基板2に実装した状態でも、ブリッジ部1eを工具で簡単に切断することができる。

【0014】

【発明の効果】以上述べたように、本発明の構成によれば、基板に実装した状態で回路電流の検出に直接関与する抵抗素子の抵抗値を、実装時の半田付けに伴う半田の這い上がり条件、および抵抗素子材料のバラツキに左右されることなく、当初設計した通りの精度に定値管理した状態で実使用することができ、これにより従来の抵抗素子と比べて電流検出精度のバラツキがなく、信頼性の高い電流検出用表面実装型抵抗素子を提供することができる。

【図面の簡単な説明】

【図1】本発明実施例の構成図であり、(a)は実装前の抵抗素子と実装基板の斜視図、(b)は実装基板に抵抗素子を半田付けした組立状態の断面図、(c)は抵抗素子の展開図

【図2】図1における抵抗素子の等価回路図

【図3】従来の構成図であり、(a)は実装前の抵抗素子と実装基板の斜視図、(b)は実装基板に抵抗素子を半田付けした組立状態の断面図

【図4】本発明の応用実施例の構成図であり、(a)は

(4)

6

5

抵抗素子の外観斜視図、(b)は抵抗素子の展開図

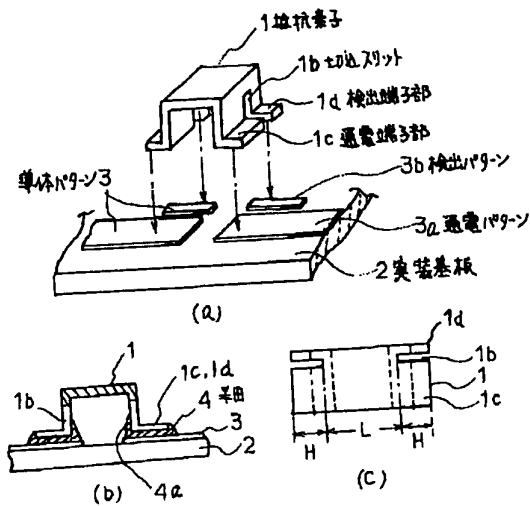
【図5】図4の変形実施例を示す要部の拡大斜視図

【符号の説明】

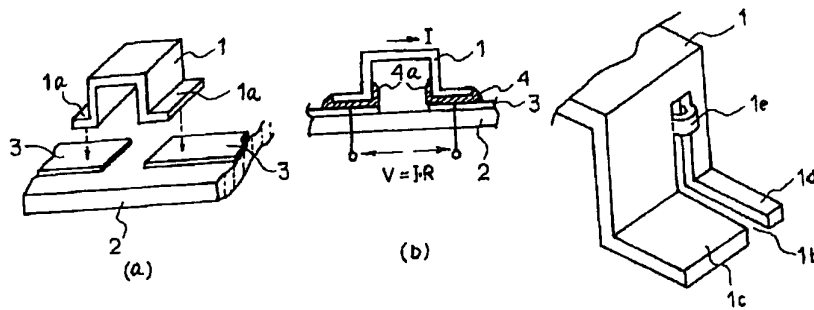
- 1 抵抗素子  
1b 切込スリット  
1c 通電端子部  
1d 検出端子部

- 1e ブリッジ部  
2 実装基板  
3 導体パターン  
3a 通電パターン  
3b 検出パターン  
4 半田  
4a 半田フィレットの這い上がり部

【図1】

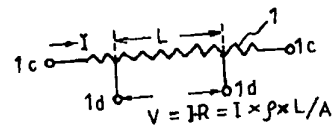


【図3】



【図5】

【図2】



【図4】

